

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-174820

(43)Date of publication of application : 21.06.2002

(51)Int.Cl.

G02F 1/1343

(21)Application number : 2000-372046

(71)Applicant : SHARP CORP

(22)Date of filing : 06.12.2000

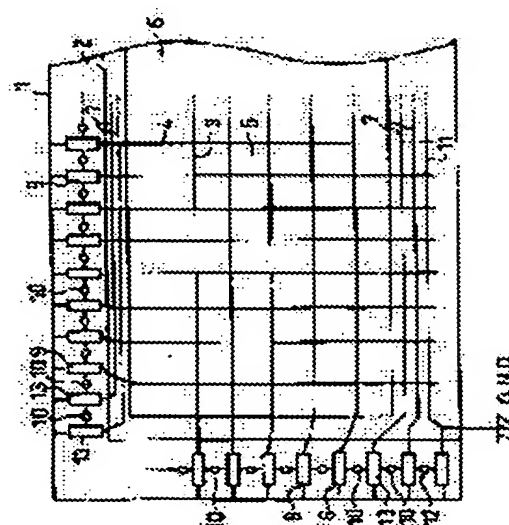
(72)Inventor : FUKUDA KAZUO

(54) ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix substrate in which the occurrence of destruction caused by short circuit among spare wirings or a first protecting circuit connected between scanning lines adjacent to the spare wiring or signal lines is prevented and the generation of display defect is suppressed.

SOLUTION: A dummy spare wire 11 which is not connected to signal lines 4 and scanning lines 3 is arranged adjacent to spare wires 7. A second protecting circuit 12 is connected between the wires 7 and the wire 11 to prevent the damage caused by applying a high voltage to a first protecting circuit 10. The circuit 12 is provided with a characteristic in which the circuit 12 is more easily short-circuited than the circuit 10 by applying a high voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-174820

(P2002-174820A)

(43) 公開日 平成14年6月21日 (2002. 6. 21)

(51) Int.Cl.

G 0 2 F 1/1343

識別記号

F I

G 0 2 F 1/1343

キーワード(参考)

2 H 0 9 2

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願2000-372046(P2000-372046)

(22) 出願日 平成12年12月6日 (2000. 12. 6)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福田 和郎

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

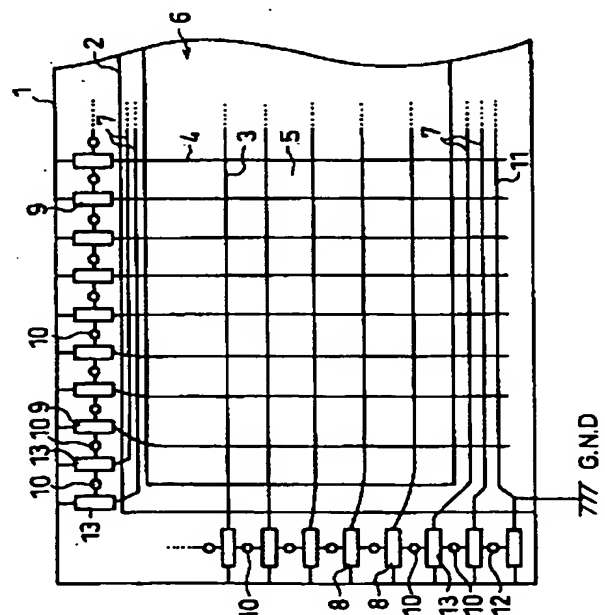
Fターム(参考) 2H092 JB22 JB31 JB38 JB79 NA14

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【課題】 予備配線同士、あるいは予備配線と隣接する走査線または信号線との間に接続された第1保護回路の短絡破壊を防止し、表示不良の発生を抑えることのできるアクティブマトリクス基板を提供する。

【解決手段】 信号線4および走査線3に非接続となるダミー予備配線11が予備配線7に隣接して設けられている。第1保護回路10の高電圧印加による損傷を防止すべく、予備配線7とダミー予備配線11との間には第2保護回路12が接続されている。第2保護回路12は、第1保護回路10よりも高電圧印加により短絡しやすい特性を有している。



(2)

1

【特許請求の範囲】

【請求項1】 平行に配設された複数の信号線と、該信号線と交差するように平行に配設された複数の走査線と、該信号線および／または走査線の入力側および非入力側に、該信号線および／または走査線とそれぞれ交差するように配設された複数の予備配線とを有し、かつ静電気帯電による上記予備配線と信号線または走査線との交差部での絶縁破壊による短絡を防止すべく、上記各隣接する予備配線の間、各隣接する信号線および／または走査線の間、および予備配線と信号線または走査線との間には第1保護回路がそれぞれ接続されているアクティブマトリクス基板において、

上記信号線および走査線に非接続のダミー予備配線が上記予備配線に隣接して設けられているとともに、上記第1保護回路の高電圧印加による破壊を防止すべく、予備配線とダミー予備配線との間には第2保護回路が接続される一方、

上記第2保護回路は、第1保護回路よりも高電圧印加により短絡しやすい特性を有していることを特徴とするアクティブマトリクス基板。

【請求項2】 第1保護回路および第2保護回路には、それぞれ半導体素子が備えられており、各半導体素子のチャネル幅をチャネル長さで除した比は、第1保護回路よりも第2保護回路の方が大きくなるように設定されていることを特徴とする請求項1記載のアクティブマトリクス基板。

【請求項3】 ダミー予備配線が、GNDに接続されていることを特徴とする請求項1または2記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画素電極にスイッチング素子を介して駆動電圧を印加し、対向電極との電位差によって液晶を駆動して表示を行うアクティブマトリクス基板に関するものであり、特に、静電気保護機構に関する。

【0002】

【従来の技術】 従来より、アクティブマトリクス型の液晶表示装置においては、液晶パネルに個々の独立した画素部がマトリクス状に配置され、これら画素部に、画素電極およびスイッチング素子がそれぞれ設けられている。

【0003】 前記アクティブマトリクス型の液晶表示装置は、スイッチング素子を介して駆動電圧を画素電極に印加し、この画素電極と、液晶を介して画素電極に対向して配置されている対向電極との電位差によって液晶を駆動し、透過光もしくは反射光を光変調することにより液晶パネルに画像を表示するようになっている。

【0004】 前記液晶表示装置では、スイッチング素子として、MIM (Metal Insulator Metal) 素子やTFT

2

(Thin Film Transistor) 素子が用いられている。特に、TFT素子を用いた液晶パネルは、その品質やコストの面から、アクティブマトリクス型の液晶表示装置として、現在、最も広く用いられている。

【0005】 前記のTFT素子を用いた液晶表示装置は、マトリクス状に配置された画素部に対して、スイッチング素子を制御する走査信号を入力するための走査線と、液晶パネルに表示する画像の信号を入力するための信号線とが縦横に配置されている。また、走査線および信号線と画素電極との間には層間絶縁膜が形成されている。

【0006】 前記の構造を有する液晶表示装置は、層間絶縁膜を用いて、走査線および信号線の上に画素電極を積層させている。そして、たとえば、特開昭58-172685号公報に開示されている液晶表示装置は、かかる構成を採用することにより、各画素において開口率を向上し、さらに、信号線に起因する電界を絶縁膜でシールドして液晶の配向不良を抑制するものである。

【0007】 ところで、TFT素子などのスイッチング素子は、一般に強電界に対して弱い。このため、液晶表示装置の製造工程などにおいて発生する静電気が、TFT素子を破壊することがある。たとえば、液晶表示装置では、液晶の配向方向を決定するために、ポリイミドなどからなる配向膜が基板上に形成されている。そして、この配向膜を布によって一方向にラビングすることにより液晶分子の配向方向を決定しているが、このとき、ラビングによって静電気が発生する。

【0008】 前記の静電気によって基板上の走査線や信号線が帯電すると、TFT素子内の半導体層の結晶構造に影響を及ぼす。これによって、TFT素子のしきい値が数Vずれることになる。その結果、スイッチング素子のスイッチングが正常に行われなくなり、静電気が帯電した部分は欠陥画素として認識されてしまう。

【0009】 上述のような事態を防止するために、基板の製造工程においては、一般に、走査線および信号線のすべての入力端子をショートリングと称される金属パターンで短絡している。しかし、このショートリングは、アクティブマトリクス基板と対向基板とが貼り合わされて液晶パネルが形成された後、前記入力端子にドライバ等の周辺回路を実装するまでに取り除かれる。したがって、入力端子のショートリングは、実装工程で生じる静電気に対する対策としては不適である。

【0010】 そこで、走査線および／または信号線における入力端子の近傍において、隣合う走査線同士および／または信号線同士を接続するようにして、保護回路を設けることが行われている。

【0011】 液晶パネルは、図5に示すように、アクティブマトリクス基板51と対向基板52とが、図示しないシール材によって貼り合わされ、両基板51・52間に図示しない液晶が封入されて構成されている。

(3)

3

【0012】アクティブマトリクス基板51上には、複数の走査線53および複数の信号線54が縦横に配置されている。この走査線53と信号線54とで区分された各領域が画素部55となり、画素部55がマトリクス状に配置されることにより有効表示領域56が構成される。

【0013】また、アクティブマトリクス基板51上には、信号線54の入力側と非入力側とに複数の予備配線57が配設されている。

【0014】さらに、アクティブマトリクス基板51上には、各走査線53および各信号線54の端部において、走査線入力端子58および信号線入力端子59がそれぞれ形成されている。そして、第1保護回路60が、アクティブマトリクス基板51上に、隣合う走査線53同士および信号線54同士を接続するようにして形成されている。

【0015】保護回路は、たとえば、ダイオードを利用したスイッチング素子を用いて形成することができる。つまり、このスイッチング素子を、図6に示すように、逆方向に二つ並列させてダイオードリング構造を形成することにより、第1保護回路60とすることができる。この第1保護回路60を互いに隣合う走査線53同士および信号線54同士を接続するように形成する。

【0016】前記の構成は、たとえば特開昭63-106788号公報にも開示されており、これにより、ある一定の値以上の電界が一箇所に加わった場合に、その電荷を、近隣の走査線53および信号線54に逃がすことができるため、上述の静電破壊による不良の発生を防止することができる。

【0017】また、アクティブマトリクス基板51には、図5に示すように、点灯検査用の複数の端子61が設けられている。これら端子61は、点灯検査終了後にアクティブマトリクス基板51が分断線62に沿って切断されることによって、アクティブマトリクス基板51から取り除かれる。

【0018】しかしながら、このようなアクティブマトリクス基板においては、図5に示すように、予備配線57は、通常、有効表示領域56よりも外側で信号線54および/または走査線53の端部と交差するように配置されている。このため、予備配線57の端子部63においても、走査線53および信号線54の端子58・59よりも液晶パネルの隅に近いことが多い。従って、パネルを扱う際には、他の箇所よりも予備配線57の端子部63の方が先に触れやすく、静電気を帯びた物体に触れた場合、さらに、パネル自体が静電気を帯びていて、これが触れた物体に対して放電される場合には、予備配線57に高電圧が加わることも多い。

【0019】しかし、従来の保護回路は、TFT素子の静電破壊を防止するために設置されたもので、配線上に半導体素子を持たない予備配線57については保護回路

4

は設けられていなかった。

【0020】ところで、予備配線57は、信号線54および/または走査線53に欠陥があったときにはじめて、レーザなどを用いてこれら配線53・54と接続されるべく、元来は電氣的に浮かされた状態で設置されている。このため、極めて高インピーダンスであり、端子部63などから一定値以上の静電気が帯電した場合、レーザ接続のための信号線54および/または走査線53との交差部64において、絶縁破壊を引き起し、その結果、電氣的な不具合を生じることがあった。

【0021】また、前記交差部64において絶縁破壊を起こさなかった場合でも、該交差部64の容量によって信号線54および/または走査線53の一部の電位が予備配線57の電位近傍まで突き上げられ、その結果、各画素部55のTFT素子の動作に不具合をもたらすという問題が生じていた。

【0022】そこで、特開平11-271722号公報には、配線上に半導体素子を持たない予備配線に、第1保護回路が設けられたアクティブマトリクス基板が開示されている。

【0023】特開平11-271722号公報に開示されたアクティブマトリクス基板は、複数の予備配線を有しており、前記予備配線への不所望の静電気帯電から基板を保護するため、前記予備配線の各隣り合う線を接続する第1保護回路を備えている構成である。

【0024】この構成によれば、ある予備配線に静電気が帯電した場合、前記第1保護回路を介して隣接する他の予備配線へ電荷を逃がすことができ、電荷を分散することにより特定の予備配線に電界が集中するのを防止していた。よって、静電気による予備配線と走査線および/または信号線の交差部における絶縁破壊を防ぎ、電荷の突き上げによるTFT素子の特性劣化を防止することができた。

【0025】

【発明が解決しようとする課題】しかしながら、上述のような従来のアクティブマトリクス基板では、実装工程等で生じる静電気によって、1kV以上のパルス的な高電圧が予備配線に印加されると、予備配線同士、または予備配線と予備配線に隣接する配線とを接続するように設けられた第1保護回路を破壊し、永久的に短絡状態にしてしまうという問題を有していた。

【0026】第1保護回路は、通常、予備配線に静電気が帯電すると、隣接する配線とのバイパスの役割を果たして静電気を分散することにより、予備配線と信号線および走査線との交差部における絶縁破壊を防いでいる。しかし、印加された高電圧の電荷が多過ぎた場合、あるいは急激に高電圧が印加された場合には、第1保護回路が接続している予備配線同士、あるいは予備配線と予備配線に隣接する配線とが永久的に短絡してしまう。

【0027】第1保護回路で接続された隣接する予備配

(4)

5

線同士、あるいは走査線または信号線と隣接する予備配線とは、本来、別々の信号が伝達されるようになっていいる。しかし、第1保護回路の破壊による永久的な短絡により、同一信号が伝達されてしまうという電氣的不具合、つまり表示不良を発生してしまう。

【0028】本発明は、前記の問題点に鑑みてなされたものであり、その目的は、予備配線同士、あるいは予備配線と隣接する走査線または信号線との間に接続された第1保護回路の短絡破壊を防止し、表示不良の発生を抑えることのできるアクティブマトリクス基板を提供することにある。

【0029】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、上記課題を解決するために、平行に配設された複数の信号線と、該信号線と交差するように平行に配設された複数の走査線と、該信号線および／または走査線の入力側および非入力側に、該信号線および／または走査線とそれぞれ交差するように配設された複数の予備配線とを有し、かつ静電気帯電による上記予備配線と信号線または走査線との交差部での絶縁破壊による短絡を防止すべく、上記各隣接する予備配線の間、各隣接する信号線および／または走査線の間、および予備配線と信号線または走査線との間には第1保護回路がそれぞれ接続されているアクティブマトリクス基板において、上記信号線および走査線に非接続のダミー予備配線が上記予備配線に隣接して設けられているとともに、上記第1保護回路の高電圧印加による破壊を防止すべく、予備配線とダミー予備配線との間には第2保護回路が接続される一方、上記第2保護回路は、第1保護回路よりも高電圧印加により短絡しやすい特性を有していることを特徴としている。

【0030】従来のアクティブマトリクス基板では、静電気対策として、基板の両端に予備配線を設け、この予備配線と走査線および信号線とを接続する第1保護回路を設けている。そして、ある予備配線に静電気が印加された場合、第1保護回路を介して隣接する配線へと静電気を放電して、特定の予備配線へのダメージを小さくするという方法で、静電気による破壊を防止していた。しかし、従来のアクティブマトリクス基板では、1kV以上のパルスの高電圧が印加されたり、急激に高電圧が印加されたりすると、第1保護回路が破壊されて永久的に短絡状態となってしまう。これによって、第1保護回路では、リークが発生してしまい、第1保護回路を介して接続された、予備配線と隣接する他の予備配線、走査線または信号線とが永久的に短絡し、電氣的な不具合となっていた。

【0031】そこで、上記の発明によれば、予備配線と隣接する予備配線、走査線または信号線とを接続する第1保護回路と、予備配線に隣接するように設けられ、走査線および信号線と電氣的接続されていないダミー予備

6

配線と、予備配線とダミー予備配線とを接続する第2保護回路とを有している。

【0032】これにより、ある予備配線にパルスの高電圧が印加すると、第1保護回路または第2保護回路を介して他の予備配線、ダミー予備配線へと放電される。さらに、第2保護回路は、第1保護回路よりも高電圧印加に対して弱く、短絡しやすい特性を有している。よって、保護回路が破壊される程の、例えば、パルスの1kV以上の高電圧が予備配線に印加された場合、第1保護回路ではなく、強制的に第2保護回路が短絡する。これにより、第1保護回路が破壊されて永久的に短絡するのを防止できる。また、第2保護回路が破壊された場合、つまり予備配線とダミー予備配線とが永久的に短絡した場合でも、ダミー予備配線は、信号線および走査線と非接続状態で元々信号は伝達されないもので、従来のように、異信号を同一信号と誤認識することはない。よって、高電圧印加された予備配線と隣接する予備配線、走査線または信号線との永久的な短絡による表示不良の発生を防止できる。

【0033】また、本発明のアクティブマトリクス基板は、上記課題を解決するために、上記のアクティブマトリクス基板において、第1保護回路および第2保護回路には、それぞれ半導体素子が備えられており、各半導体素子のチャネル幅をチャネル長さで除した比は、第1保護回路よりも第2保護回路の方が大きくなるように設定されていることを特徴としている。

【0034】上記の発明によれば、ソース電極とドレイン電極との間の距離が相対的に短くなるので、第2保護回路の電気抵抗の方が、第1保護回路の電気抵抗よりも小さくなり、第2保護回路の方へ電流が流れやすくなる。よって、高電圧の高電圧印加時には、高電圧の電荷も第2保護回路側へ流れることから、より確実に第1保護回路の破壊を防止できるという効果を奏する。この結果、第1保護回路が破壊されて生じる予備配線の短絡による表示不良の発生を防止できる。

【0035】また、本発明のアクティブマトリクス基板は、上記課題を解決するために、上記のアクティブマトリクス基板において、ダミー予備配線が、GNDに接続されていることを特徴としている。

【0036】上記の発明によれば、アクティブマトリクス基板上のある配線に印加した高電圧は、第1保護回路または第2保護回路を経て他の配線へと流れる。しかし、第2保護回路を介して接続されているダミー予備配線は、GNDに接続されているために常に0Vである。よって、高電圧が印加された予備配線とダミー予備配線との電位差により、第1保護回路側よりも第2保護回路側へより電流が流れやすくなる。これにより、保護回路を破壊される程の高電圧が印加された場合、静電気により与えられた電荷を、第1保護回路側ではなく第2保護回路側へ流すことができる。よって、結果的に第1保護

(5)

7

回路が破壊して、永久的に短絡してしまうことを防止できる。以上により、静電気による表示不良を防止できる。

【0037】

【発明の実施の形態】本発明の実施の一形態について図1～図4に基づいて説明すれば、以下の通りである。

【0038】本実施の形態のアクティブマトリクス基板1は、図1に示すように、液晶表示装置の図示しない液晶パネルに用いられている。液晶パネルは、アクティブマトリクス基板1と対向基板2とが図示しないシール材によって貼り合わされ、両基板1・2間に図示しない液晶が封入されて構成されている。

【0039】アクティブマトリクス基板1上には、複数の走査線3および複数の信号線4が互いに交差するように配置されており、さらに、信号線4の入力側および非入力側のそれぞれに複数の予備配線7が配設されている。前記走査線3と信号線4とで区分された各領域が画素部5となり、画素部5がマトリクス状に配置されることにより有効表示領域6が構成される。

【0040】さらに、アクティブマトリクス基板1上には、各走査線3および各信号線4の端部において、走査線入力端子部8および信号線入力端子部9がそれぞれ形成されており、各予備配線7の端部において、端子部13が形成されている。また、隣接する各走査線3および各信号線4の間に、隣合う走査線3同士および信号線4同士を接続するようにして第1保護回路10が形成されている。なお、第1保護回路10は、電荷を他の予備配線へ逃がすことができるように、予備配線7の1本分の抵抗値の20倍よりも大きい $2\text{M}\Omega\sim 400\text{M}\Omega$ の抵抗値になるように設定されている。

【0041】また、上記のアクティブマトリクス基板1は、複数の予備配線7の隣接する線間にも第1保護回路10を備えており、さらに、予備配線7の外側に隣接してダミー予備配線11を備えている。このダミー予備配線11は、走査線3、信号線4と電気的に非接続であり、隣接する予備配線7と第2保護回路12を介して接続されている。第2保護回路12は、第1保護回路10よりも高電圧印加により破壊され、短絡しやすい特性を有しており、予備配線7の1本分の抵抗値の20倍よりも小さい、すなわち第1保護回路10の抵抗値よりも小さい抵抗値を有している。また、ダミー予備配線11は、GNDに接続されている。

【0042】図2に示すように、アクティブマトリクス基板1における、走査線3および信号線4によって区分された画素部5の領域内には、TFT素子21、画素電極22、補助容量配線23、コンタクトホール24、および、透明導電膜25が形成されている。

【0043】走査線3は、TFT素子21のゲート電極に接続されている。信号線4は、TFT素子21のソース電極に接続されている。TFT素子21のドレイン電

8

極には、画素電極22が接続され、さらに、透明導電膜25を介して画素部5の補助容量における一方の端子部が接続されている。補助容量配線23は、補助容量の他方の端子部として機能する。この補助容量配線23は、画素電極22に対向して配置されている図示しない対向電極と接続されている。画素電極22は、図示しない層間絶縁膜を貫くように形成されているコンタクトホール24を介して、TFT素子21のドレイン電極と接続されている。

【0044】第2保護回路12は、図3に示すように、ダイオード接続された二つのスイッチング素子（半導体素子）12a・12bが、互いに逆方向に、かつ、並列に接続されてなっており、ダイオードリング構造を有している。

【0045】一方、第1保護回路10は、上記第2保護回路12と同様の構成であり、スイッチング素子を備えている。また、第1保護回路10は、隣接する各走査線3の間、および隣接する各信号線4の間、隣接する各予備配線7の間、予備配線7と走査線3との間および予備配線7と信号線4との間に設けられている。しかし、第1保護回路10は、いずれの位置においても第2保護回路12と同様の構造を有している。

【0046】以下では、図3～図4を参照して、予備配線7と隣接するダミー予備配線11との間に設けられる第2保護回路12の構成を例に挙げて、第1保護回路10および第2保護回路12の構成について説明する。

【0047】図3に示すように、第2保護回路12のスイッチング素子12aは、ソース電極とゲート電極とが短絡しており、両電極は、スイッチング素子12bのドレイン電極ならびにダミー予備配線11と電気的に接続されている。スイッチング素子12aのドレイン電極は、予備配線7と電気的に接続され、かつスイッチング素子12aのソース電極およびゲート電極に接続されている。

【0048】一方、スイッチング素子12bは、ソース電極とゲート電極とが短絡しており、両電極は、スイッチング素子12aのドレイン電極ならびに予備配線7と電気的に接続されている。スイッチング素子12bのドレイン電極は、ダミー予備配線11と電気的に接続され、かつ、スイッチング素子12aのソース電極およびゲート電極に接続されている。

【0049】前記スイッチング素子12aは、図4に示すように、上記ダミー予備配線11と一体に形成された金属膜15a上に半導体薄膜17等を設けて構成されている。この半導体薄膜17のソース側にソース電極19aが接続され、ドレイン側にドレイン電極19bが接続されている。ドレイン電極19bは、予備配線7と一体に形成された金属膜15bに接続されている。

【0050】一方、スイッチング素子12bは、ダミー予備配線11と一体に形成された金属膜15b上に半導

(6)

9

体薄膜17等を設けて構成されている。この半導体薄膜17のソース側にソース電極19aが接続され、ドレイン側にドレイン電極19bが接続されている。ドレイン電極19bは、金属膜15aに接続されている。

【0051】本実施の形態のアクティブマトリクス基板1は、上記のように、第2保護回路12が、予備配線7とダミー予備配線11との間に設けられている。よって、予備配線7にパルスの高電圧が印加されると、静電気は第1保護回路10および第2保護回路12を介してダミー予備配線11まで放電される。また、第2保護回路12は、第1保護回路10よりも高電圧の印加により短絡しやすい特性を有している。つまり、第2保護回路12は、第2保護回路12内に備えられたスイッチング素子12a・12bのチャネル幅Wをチャネル長さLで除した比 W/L が、第1保護回路10の W/L よりも大きくなるように設定されている。これにより、ソース電極19aとドレイン電極19bとの間の距離が相対的に短くなり、第2保護回路12の電気抵抗の方が、第1保護回路10の電気抵抗よりも小さくなるため、第2保護回路12の方へ電流が流れやすくなる。また、パルスの1kV以上の高電圧印加時には第1保護回路10ではなく、抵抗値の低い第2保護回路12が短絡する。これにより、第1保護回路10と第2保護回路12とは、同じ構造を持つ保護回路であるが、第2保護回路12の方が、第1保護回路10よりも高電圧印加により短絡しやすい特性を持つ。

【0052】さらに、第2保護回路12の短絡により予備配線7とダミー予備配線11とが短絡した場合でも、ダミー予備配線11は、電氣的に非接続状態で元々信号が伝達されていないため、伝達された信号を誤認識して、表示不良を起こすことはない。

【0053】以上により、本実施の形態のアクティブマトリクス基板1においては、第1保護回路10が破壊されて永久的に短絡して、つまり、走査線3または信号線4と予備配線7とが、絶縁破壊により永久的に短絡して、表示不良を起こすことを防止できる。

【0054】なお、上記予備配線7は、信号線4または走査線3に欠陥があったときにはじめて、レーザなどを用いてこれら配線3・4と接続されるべく、元来は電氣的に浮かされた状態で設置されている。上記のように第1保護回路10が破壊されてしまうと、予備配線7を走査線3または信号線4の替わりに使用しても、隣接する配線と短絡しているために表示不良を起こしてしまう。しかし、本実施形態のアクティブマトリクス基板1の構成を採用することで、第1保護回路10の破壊を防止できるため、その結果として生じる表示不良の発生を防止できる。

【0055】また、第2保護回路12は、予備配線7の1本分の抵抗値の20倍よりも小さい抵抗値を有している。第1保護回路10は予備配線7の1本分の抵抗値の

10

20倍よりも大きい抵抗値を有しているため、第2保護回路12の抵抗値は、第1保護回路10の抵抗値よりも小さいことになる。よって、予備配線7に高電圧が印加した場合、第1保護回路10よりも第2保護回路12の方へ静電気が流れやすくなる。これにより、第1保護回路10側へは静電気が流れにくく、より効果的に静電気による第1保護回路10の破壊を防止することができる。

【0056】また、前記ダミー予備配線11は、GNDに接続されている。よって、ダミー予備配線11は0Vとなっている。これにより、高電圧が印加した予備配線7とダミー予備配線11との電位差は、高電圧が印加した予備配線7と第1保護回路10を介して接続された他の配線との電位差よりも大きくなる。電流は、電位差の大きい方へ流れやすいため、静電気は、ダミー予備配線11側、すなわち第2保護回路12側へ流れていく。さらに、第2保護回路12の方が、第1保護回路10よりも短絡しやすいため、高電圧が印加されると第2保護回路12が短絡する。よって、第1保護回路10側へ静電気が流れることはなく、第1保護回路10の破壊と、静電気による電氣的不具合とをさらに確実に防止できる。

【0057】以上の構成により、第2保護回路12側へ電流を流れやすくし、さらに、電流が流れる側の第2保護回路12が、第1保護回路10よりも高電圧印加により短絡しやすい特性を持っていることにより、第1保護回路10の破壊を防止し、予備配線7においての永久的な短絡が原因となって起きる電氣的不具合を防止できる。

【0058】なお、本発明は、上記の実施の形態に限定されるものではなく、本発明の範囲内で種々の変更が可能である。例えば、上記実施の形態では、第1保護回路10よりも第2保護回路12の方が高電圧印加により短絡しやすい例として、第2保護回路12のチャネル幅Wをチャネル長さLで除した比 W/L が、第1保護回路10の W/L よりも大きくなるように設定されている例を説明した。しかし、特にこれに限定されるものではなく、他の手段、例えば、第1保護回路10と第2保護回路12とで使用配線の配線抵抗値を変える等により、第2保護回路12の方が低抵抗となる構成とすることも可能である。

【0059】また、本実施の形態では、図1に示すように、ダミー予備配線11が1本設置されている例について説明したが、これに限定されるものではない。むしろ、複数本のダミー予備配線11を設置することは、1本だけ設置した場合と比べて、どの予備配線7に高電圧が印加した場合でも電流を第2保護回路12側へと導けるようになり、確実に第1保護回路10の短絡を防止できることから、少なくとも、アクティブマトリクス基板1の両端、あるいは四方の端部に設けられていることがより好ましい。

(7)

11

【0060】また、平行に配設された複数の走査線と、該走査線と交差するように平行に配設された複数の信号線と、該信号線および／または走査線の入力側および非入力側に、該信号線および／または走査線と交差するように配設された複数の予備配線とを有するアクティブマトリクス基板において、予備配線と信号線もしくは走査線への高電圧付加から基板を保護するため、予備配線または信号線または走査線の各隣り合う線を接続する第1保護回路を備えており、当基板において、接続予備配線の両側に非接続のダミーの予備配線を設置し、各隣り合う線を接続する第2保護回路を設置してもよい。

【0061】また、前記第2保護回路は、第1保護回路に比べて、パルスの高電圧印加に弱く、短絡しやすいため、チャネル幅をチャネル長さで除した比が、第1保護回路の比よりも高くしてもよい。つまり、第2保護回路は、第1保護回路と比べて抵抗が小さい。

【0062】また、前記非接続ダミーの予備配線の両端をGND(0V)に接続してもよい。

【0063】

【発明の効果】本発明のアクティブマトリクス基板は、以上のように、信号線および走査線に非接続となるダミー予備配線が予備配線に隣接して設けられているとともに、第1保護回路の高電圧印加による損傷を防止すべく、予備配線とダミー予備配線との間には第2保護回路が接続される一方、第2保護回路は、第1保護回路よりも高電圧印加により短絡しやすい特性を有しているものである。

【0064】それゆえ、液晶パネル上の各配線にパルスの高電圧が印加すると、第1保護回路および第2保護回路を介してダミー予備配線まで放電される。さらに、第2保護回路は、第1保護回路よりも高電圧の印加により短絡しやすい特性を有している。よって、保護回路が短絡する程の高電圧が印加されても、強制的に第2保護回路が短絡して、第1保護回路が短絡することを防止できるという効果を奏する。さらに、第2保護回路の短絡により予備配線とダミー予備配線とが短絡しても、ダミー予備配線は、電氣的に非接続状態で元々信号を伝達されていないため、従来のように、異信号を同一信号と誤認識することはない。よって、走査線または信号線と予備配線とが短絡して生じる表示不良を防止できる。

【0065】また、本発明のアクティブマトリクス基板は、以上のように、上記のアクティブマトリクス基板において、第1保護回路および第2保護回路には、それぞれ半導体素子が備えられており、各半導体素子のチャネル幅をチャネル長さで除した比は、第1保護回路よりも第2保護回路の方が大きくなるように設定されているものである。それゆえ、相対的にソースとドレインとの間の距離が短くなるので、第2保護回路の電気抵抗の方が、第1保護回路の電気抵抗よりも小さくなり、第2保護回路の方へ電流が流れやすくなる。よって、高電圧印

12

加時には、高電圧の電荷も第2保護回路側へ流れることから、より確実に第1保護回路ではなく、第2保護回路を短絡させることができる。この結果、第1保護回路が短絡して生じる表示不良の発生を防止できるという効果を奏する。

【0066】また、本発明のアクティブマトリクス基板は、以上のように、上記アクティブマトリクス基板において、ダミー予備配線が、GNDに接続されているものである。それゆえ、アクティブマトリクス基板上の、ある配線に印加した高電圧は、第1保護回路または第2保護回路を経て他の配線へと流れる。しかし、第2保護回路を介して接続されているダミー予備配線は、GNDに接続されているために常に0Vである。よって、第2保護回路の方へより電流が流れやすく、第1保護回路よりも第2保護回路の側へ電流が流れることになる。これにより、保護回路を短絡するほどの高電圧が印加された場合、静電気から与えられた電荷は、第1保護回路側ではなく第2保護回路側へ流れるために、第2保護回路を強制的に短絡させることができる。以上により、第1保護回路の短絡、およびその結果として生じる静電気による表示不良を防止できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明におけるアクティブマトリクス基板の実施の一形態を示す平面図である。

【図2】上記アクティブマトリクス基板における画素部を示す平面図である。

【図3】上記アクティブマトリクス基板に設けられる保護回路を示す回路図である。

【図4】図3の保護回路を示す平面図である。

【図5】従来のアクティブマトリクス基板の構成を示す平面図である。

【図6】上記従来のアクティブマトリクス基板の保護回路を示す回路図である。

【符号の説明】

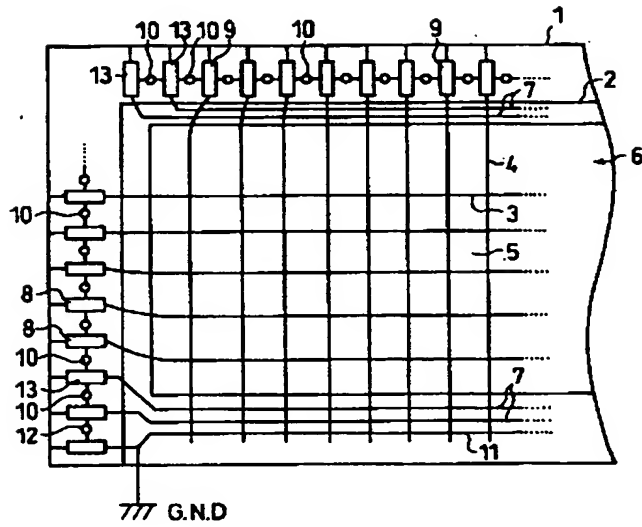
- | | |
|---------|-----------------|
| 1 | アクティブマトリクス基板 |
| 2 | 対向基板 |
| 3 | 走査線 |
| 4 | 信号線 |
| 5 | 画素部 |
| 6 | 有効表示領域 |
| 7 | 予備配線 |
| 8 | 走査線入力端子部 |
| 9 | 信号線入力端子部 |
| 10 | 第1保護回路 |
| 11 | ダミー予備配線 |
| 12 | 第2保護回路 |
| 12a・12b | スイッチング素子(半導体素子) |
| 13 | 端子部 |
| 19a | ソース電極 |
| 19b | ドレイン電極 |

(8)

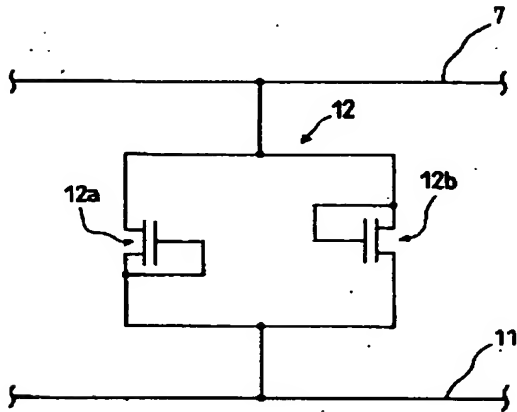
L チャンネル長さ

W チャンネル幅

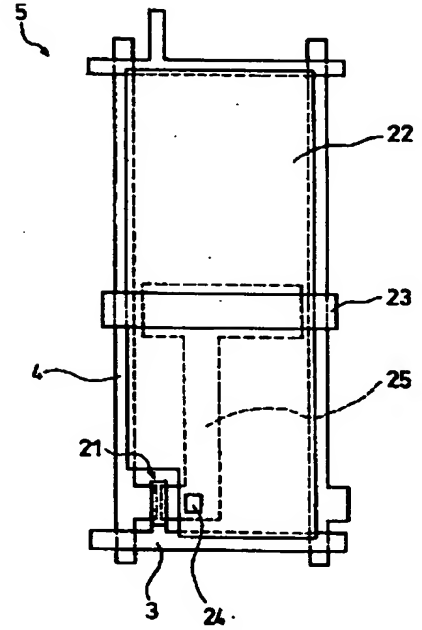
【図1】



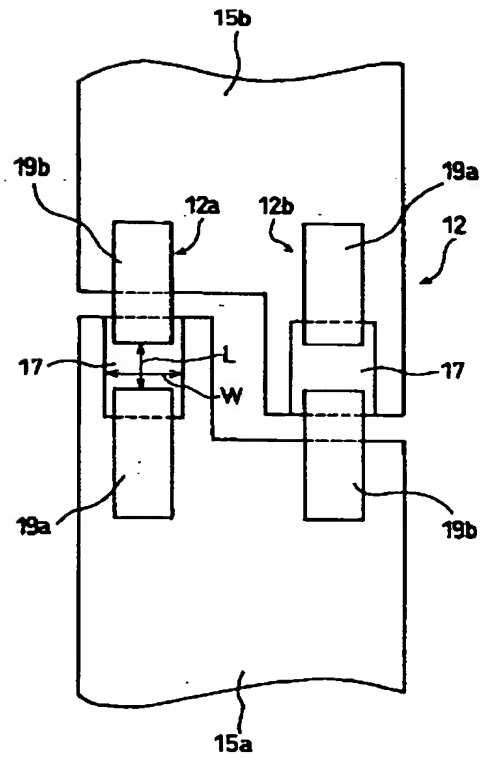
【図3】



【図2】

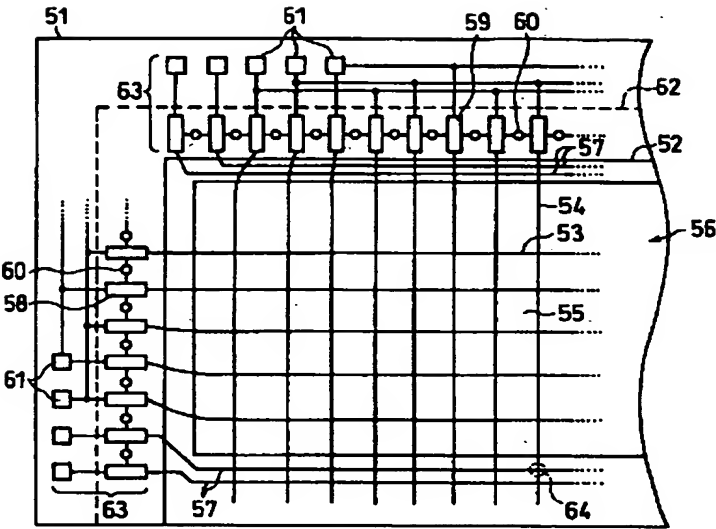


【図4】



(9)

【図5】



【図6】

